

DERWENT-ACC-NO: 1997-105803

DERWENT-WEEK: 199710

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Dynamic random access memory -
includes two word lines
area of each MOS passing along upper part of channel
which each component transistor in two component areas in
area adjoins intersecting component
areas

PATENT-ASSIGNEE: TOSHIBA KK[TOKE] , TOSHIBA
MICROELECTRONICS KK[TOSZ]

PRIORITY-DATA: 1995JP-0143126 (June 9, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	
LANGUAGE	PAGES	MAIN-IPC
JP 08340088 A		December 24, 1996
008	H01L 027/108	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 08340088A	N/A	1995JP-
0143126	June 9, 1995	

INT-CL (IPC): H01L021/8242, H01L027/108

ABSTRACTED-PUB-NO: JP 08340088A

BASIC-ABSTRACT:

The memory has four component areas, each includes a MOS transistor and a capacitor (C), arranged collectively in a planar manner on

the surface of a semiconductor forming a cross. The charge storage area of each capacitor is connected to the drain channel source area of the MOS transistor. The drain channel source area is formed between two ends positioned in the centre section of the intersecting component area.

A gate insulating film is formed on the channel area of each component area. A bit-line (BL) which is in contact with the component area in the intersecting portion is formed in the direction crossing the centre section of the intersecting component area. Two word lines (WL) are formed in the orthogonal direction of the respective bit line passing along the channel area upper part of the MOS transistor in two component areas in which each is adjoined by the intersecting component areas.

ADVANTAGE - Reduces area per unit cell and reduces defect resulting from poor bit line contact.

CHOSEN-DRAWING: Dwg.1/8

TITLE-TERMS: DYNAMIC RANDOM ACCESS MEMORY TWO WORD LINE
PASS UPPER PART CHANNEL
AREA MOS TRANSISTOR TWO COMPONENT AREA
COMPONENT AREA ADJOIN
INTERSECT COMPONENT AREA

ADDL-INDEXING-TERMS:

DRAM

DERWENT-CLASS: U13 U14

EPI-CODES: U13-C04B1A; U14-A03B4;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1997-087606

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-340088

(43)公開日 平成8年(1996)12月24日

(51)Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 27/108

H 01 L 27/10

6 8 1 B

21/8242

審査請求 未請求 請求項の数7 OL (全8頁)

(21)出願番号

特願平7-143126

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(22)出願日

平成7年(1995)6月9日

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 鎌田 英行

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72)発明者 熊谷 淳平

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

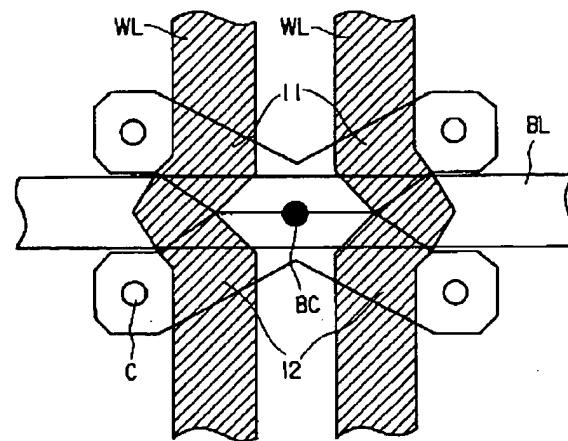
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 ダイナミック型メモリ

(57)【要約】

【目的】単位セル当たりの面積を縮小化し得ると共にピット線コンタクト不良に起因する不良を減少させ得るDRAMを提供する。

【構成】X字状の配置で形成され、それぞれ1トランジスタQ_i・1キャパシタCからなるDRAMセルの一部を成す4個の素子領域SDGと、各素子領域において一端部と他端部との間に形成されたMOSトランジスタ用のドレイン・チャネル・ソース領域および他端部に接続されたキャパシタと、各素子領域のチャネル領域上に形成されたゲート絶縁膜110と、X字状の素子領域の中央部上に交差する方向に形成され、交差部で素子領域にコンタクトしたピット線BLと、それぞれピット線の方向に直交する方向で、X字状の素子領域のうちの隣り合う各2個の素子領域におけるMOSトランジスタのチャネル領域上方を通るように形成された2本のワード線WLとを具備することを特徴とする。



1

2

【特許請求の範囲】

【請求項1】 半導体面上に平面的にみて全体としてX字状の配置で形成され、それぞれ1個のMOSトランジスタと1個のキャパシタからなるダイナミック型メモリセルの一部を成す4個の素子領域と、上記各素子領域において前記X字状の素子領域の中央部に位置する一端部と他端部との間に形成された前記MOSトランジスタ用のドレイン・チャネル・ソース領域および上記他端部に接続された前記キャパシタ用の電荷蓄積領域と、前記各素子領域のチャネル領域上に形成されたゲート絶縁膜と、前記X字状の素子領域の中央部上に交差する方向に形成され、上記交差部で素子領域にコンタクトしたビット線と、それぞれ前記ビット線の方向に直交する方向で、前記X字状の素子領域のうちの隣り合う各2個の素子領域におけるMOSトランジスタのチャネル領域上方を通るように形成された2本のワード線とを具備することを特徴とするダイナミック型メモリ。

【請求項2】 請求項1記載のダイナミック型メモリにおいて、前記X字状の素子領域のうちで前記ワード線を共有する隣り合う2個の素子領域におけるMOSトランジスタの一方はPMOSトランジスタ、他方はNMOSトランジスタであることを特徴とするダイナミック型メモリ。

【請求項3】 請求項2記載のダイナミック型メモリにおいて、さらに、前記X字状の素子領域のうちで前記ワード線を共有しないで隣り合う2個の素子領域におけるMOSトランジスタは同一導電型であることを特徴とするダイナミック型メモリ。

【請求項4】 請求項2または3記載のダイナミック型メモリにおいて、前記ワード線は、“L”レベル、正の“H”レベル、負の“H”レベルの3値を有するワード線駆動信号が与えられることを特徴とするダイナミック型メモリ。

【請求項5】 それぞれ1個のPMOSトランジスタと1個のキャパシタからなる複数個のP型のダイナミック型メモリセルおよびそれぞれ1個のNMOSトランジスタと1個のキャパシタからなる複数個のN型のダイナミック型メモリセルとが混在するように行列状の配置で形成されたセルアレイと、それぞれ同一列のメモリセルに共通に接続された複数本のビット線と、それぞれ同一行のメモリセルに共通に接続された複数本のワード線と、上記複数本のワード線を選択的に駆動するために“L”レベル、正の“H”レベル、負の“H”レベルの3値を有するワード線駆動信号を出力するワード線駆動回路とを具備することを特徴とするダイナミック型メモリ。

【請求項6】 それぞれ1個のMOSトランジスタと1個のキャパシタからなるダイナミック型メモリセルが行列状の配置で形成されたセルアレイと、それぞれ同一行のメモリセルに共通に接続された複数本のワード線と、それぞれ同一列のメモリセルに共通に接続され、かつ、

4個のダイナミック型メモリセルが1個のビット線コントクトを共有するように接続された複数本のビット線とを具備することを特徴とするダイナミック型メモリ。

【請求項7】 半導体面上に平面的にみて全体としてX字状の配置で形成され、それぞれ1個のMOSトランジスタと1個のキャパシタからなるダイナミック型メモリセルの一部を成す4個の素子領域と、上記各素子領域において前記X字状の素子領域の中央部に位置する一端部と他端部との間に形成された前記MOSトランジスタ用のドレイン・チャネル・ソース領域および上記他端部に接続された前記キャパシタ用の電荷蓄積領域と、前記各素子領域のチャネル領域上に形成されたゲート絶縁膜と、前記X字状の素子領域の中央部上に交差する方向に形成され、上記交差部で素子領域にコンタクトした複数本のビット線と、それぞれ前記ビット線の方向に直交する方向で、前記X字状の素子領域のうちの隣り合う各2個の素子領域におけるMOSトランジスタのチャネル領域上方を通るように形成された2本のワード線とを具備することを特徴とするダイナミック型メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置、特にダイナミック型メモリにおけるメモリセルの配置および構造に関する。

【0002】

【従来の技術】 図7は、ダイナミック型ランダムアクセスメモリ(DRAM)のメモリセル(DRAMセル)の等価回路を示しており、Qは電荷転送ゲート用のNチャネル型MOSトランジスタ、Cは電荷蓄積用のキャパシタである。上記トランジスタQのドレインはビット線BLに接続され、そのゲートはワード線WLに接続され、そのソースはキャパシタCの一端に接続され、キャパシタCの他端には通常は所定の電位VPLが与えられる。

【0003】 図8は、従来のDRAMにおけるメモリセルアレイの平面パターンの一部を概略的に示す。図8において、複数個の素子領域(活性化領域)SDGは、それぞれビット線BL形成方向およびこれに直交するワード線WL形成方向に対して斜めに交差する一方に所定の長さおよび幅Fを持ち、半導体基板の表層部に平面的にみて行列状の配置で形成されている。この場合、素子領域SDGの長さ方向に直交する方向における素子領域間隔は素子領域の幅Fに等しい。

【0004】 上記各素子領域SDGは、中央部から一端側の領域に1個のDRAMセルのMOSトランジスタを構成する第1のドレイン・チャネル・ソース領域が形成されており、上記中央部から他端側の領域に別の1個の

3

DRAMセルのMOSトランジスタを構成する第2のドレイン・チャネル・ソース領域が形成されており、上記中央部は上記2個のMOSトランジスタに共通のドレン領域となっている。また、上記素子領域の両端部には、隣り合うワード線WL相互間にキャパシタCが形成されている。

【0005】そして、奇数列の素子領域群の配置と偶数列の素子領域群の配置とはビット線BL形成方向にMOSトランジスタ1個分のピッチだけずれており、同一列の複数個の素子領域の各中央部（ドレン領域）にコンタクトするように幅Fを持つビット線BLが形成されることにより、ビット線BL群が4Fのピッチで平行に形成されている。この場合、1つのビット線コンタクト部BCに対して2個のDRAMセルが接続されており、ビット線BLと素子領域SDGとが交差する面積は F^2 である。

【0006】また、同一行の複数個のMOSトランジスタの各中央部（チャネル領域）上にゲート絶縁膜（図示せず）を介して、かつ、上記各中央部上を通るように幅Fを持つワード線WLが形成されている。この場合、ワード線WL群は、等間隔Fで平行に形成されており、ビット線BL群の方向とは直交している。

【0007】図8に示した平面パターンは、DRAMセルが高密度に配置されており、セル1個当たりの面積は $6F^2$ であるが、DRAMの一層の高集積化につれて、メモリセルアレイ内に配置された隣り合うセルの間隔をさらに狭め、単位セル当たりの面積を小さくすることが要求されている。

【0008】

【発明が解決しようとする課題】本発明は上記の問題点を解決すべくなされたもので、単位セル当たりの面積を縮小化し得ると共にビット線コンタクト不良に起因する不良を減少させ得るダイナミック型メモリを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明のダイナミック型メモリは、半導体面上に平面的にみて全体としてX字状の配置で形成され、それぞれ1個のMOSトランジスタと1個のキャパシタからなるダイナミック型メモリセルの一部を成す4個の素子領域と、上記各素子領域において前記X字状の素子領域の中央部に位置する一端部と他端部との間に形成された前記MOSトランジスタ用のドレン・チャネル・ソース領域および上記他端部に接続された前記キャパシタ用の電荷蓄積領域と、前記各素子領域のチャネル領域上に形成されたゲート絶縁膜と、前記X字状の素子領域の中央部上に交差する方向に形成され、上記交差部で素子領域にコンタクトしたビット線と、それぞれ前記ビット線の方向に直交する方向で、前記X字状の素子領域のうちの隣り合う各2個の素子領域におけるMOSトランジスタのチャネル領域上方を通る

4

ように形成された2本のワード線とを具備することを特徴とする。

【0010】

【作用】X字状の素子領域からデータを読み出す場合、選択されたワード線（選択ワード線）に正の“H”レベル（例えば+5V）が印加される。この選択ワード線に接続されているDRAMセルのうちでNMOSトランジスタを有するものは、そのNMOSトランジスタがオン状態になり、そのキャパシタからデータの読み出しが行

われるが、選択ワード線に接続されているDRAMセルのうちでPMOSトランジスタを有するものは、そのPMOSトランジスタがオフ状態になり、そのキャパシタからのデータの読み出しが行われない。つまり、同じビット線および同じワード線に接続されている2個のDRAMセルのうちの一方のみからデータの読み出しが行われる。

【0011】なお、DRAMセルのMOSトランジスタの閾値を適切に設定しておくことにより、選択されなかつたワード線（非選択ワード線）に“L”レベル（接地電位）が印加されると、非選択ワード線に接続されているDRAMセルは、そのMOSトランジスタがオフ状態になり、そのキャパシタからデータの読み出しが行われない。

【0012】これに対して、選択ワード線に負の“H”レベル（例えば-5V）が印加されると、この選択ワード線に接続されているDRAMセルのうちでPMOSトランジスタを有するものは、そのPMOSトランジスタがオン状態になり、そのキャパシタからデータの読み出しが行われるが、選択ワード線に接続されているDRA

MセルのうちでNMOSトランジスタを有するものは、そのNMOSトランジスタがオフ状態になり、そのキャパシタからのデータの読み出しが行われない。この時、非選択ワード線に“L”レベルが印加されると、非選択ワード線に接続されているDRAMセルは、そのMOSトランジスタがオフ状態になり、そのキャパシタからデータの読み出しが行われない。

【0013】上記したようなX字状の素子領域は、従来のセル配置と比べてセル間隔をさらに狭めることが可能になるので、単位セル当たりの面積を縮小化することができる。また、1つのビット線コンタクト部に対して4個のDRAMセルが接続されているので、ビット線コンタクト数を減らすことができ、ビット線コンタクトの不良に起因する不良を減らすことが可能になる。

【0014】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は、本発明の一実施例に係るDRAMのセルアレイにおける単位領域の平面パターンを示している。図2は、図1の単位領域に対応する4個のDRAMセルの一例とビット線およびワード線との回路接続を示している。図3は、図1の単位領域を複数含むセルア

5 レイの一部の平面パターンを概略的に示している。

【0015】図1乃至図3において、4個の素子領域SDGは、半導体基板の表層部あるいは絶縁基板上の半導体層に平面的にみて全体としてX字状の配置で形成され、それぞれ1個の電荷転送ゲート用のMOSトランジスタ(Qi) (i=1,2,3,4)と1個の電荷蓄積用のキャパシタCからなるDRAMセルの一部を成している。

【0016】上記各素子領域SDGにおいて、X字状の素子領域の中央部に位置する一端部と素子領域の他端部との間には、それぞれMOSトランジスタ用のドレイン・チャネル・ソース領域が形成されており、素子領域の他端部(X字状の素子領域の4隅部)には前記キャパシタCが接続されている。

【0017】上記X字状の素子領域を単位領域として複数個のX字状の素子領域が間隔F以上を保って行列状に配置されてセルアレイが形成されており、各素子領域のチャネル領域上にはゲート絶縁膜(図示せず)が形成されている。

【0018】上記セルアレイにおけるそれぞれ同一列のX字状の素子領域の中央部上に交差する方向に線幅Fを持つビット線BLが形成されており、上記交差部でビット線が素子領域にコンタクトしている、つまり、4個のDRAMセルが1個のビット線コンタクトBCを共有する。

【0019】さらに、それぞれ前記ビット線BLの方向に直交する方向で、前記セルアレイにおける同一行の前記X字状の素子領域のうちの隣り合う各2個の素子領域におけるMOSトランジスタのチャネル領域上方を共通に通るように線幅Fを持つワード線WLが形成されている。

【0020】上記セルアレイにおいては、それぞれの閾値が異なるMOSトランジスタを有する2種類のDRAMセルが混在しており、上記2種類のDRAMセルが同じビット線BLに接続されると共に同じワード線WLに接続されている。

【0021】本例では、図2に示すように、それぞれ1個のPMOSトランジスタ(Q1またはQ3)と1個のキャパシタCからなる複数個のP型のDRAMセルおよびそれぞれ1個のNMOSトランジスタ(Q2またはQ4)と1個のキャパシタCからなる複数個のN型のDRAMセルとが混在している。

【0022】この場合、X字状の素子領域のうちでワード線を共有する隣り合う2個の素子領域におけるMOSトランジスタとして、一方はPMOSトランジスタ、他方はNMOSトランジスタが形成されている。

【0023】さらに、X字状の素子領域のうちでワード線を共有しないで隣り合う2個の素子領域におけるMOSトランジスタとして、同一導電型のMOSトランジスタが形成されている。

【0024】具体例としては、X字状の素子領域のうち

6 でビット線BLに層半分の領域にはnウエル11にPMOSトランジスタQ1、Q3が形成され、残り半分の領域にはpウエル12にNMOSトランジスタQ2、Q4が形成されている。

【0025】そして、複数本のワード線を選択的に駆動するためのワード線駆動回路30として、上記したようなP型のDRAMセルとN型のDRAMセルとが混在していることに対応して、“L”レベル、正の“H”レベル、負の“H”レベルの3値を有するワード線駆動信号を出力するように構成されている。

【0026】次に、上記セルアレイからデータを読み出す動作を説明する。選択行のワード線WLに正の“H”レベル(例えば+5V)が印加されると、この選択行のDRAMセルのうちでNMOSトランジスタ(Q2またはQ4)を有するものは、そのNMOSトランジスタがオン状態になり、そのキャパシタCからデータの読み出しが行われるが、選択行のDRAMセルのうちでPMOSトランジスタ(Q1またはQ3)を有するものは、そのPMOSトランジスタがオフ状態になり、そのキャパシタCからのデータの読み出しが行われない。つまり、同じビット線BLおよび同じワード線WLに接続されている2個のDRAMセルのうちの一方のみからデータの読み出しが行われる。

【0027】なお、DRAMセルのMOSトランジスタの閾値を適切に設定しておくことにより、非選択行のワード線には“L”レベル(接地電位)が印加されると、非選択行のDRAMセルは、そのMOSトランジスタがオフ状態になり、そのキャパシタCからデータの読み出しが行われない。

【0028】これに対して、選択行のワード線に負の“H”レベル(例えば-5V)が印加されると、この選択行のDRAMセルのうちでPMOSトランジスタ(Q1またはQ3)を有するものは、そのPMOSトランジスタがオン状態になり、そのキャパシタCからデータの読み出しが行われるが、選択行のDRAMセルのうちでNMOSトランジスタ(Q2またはQ4)を有するものは、そのNMOSトランジスタがオフ状態になり、そのキャパシタCからのデータの読み出しが行われない。この時、非選択行のワード線には“L”レベルが印加され、非選択行のDRAMセルは、そのMOSトランジスタがオフ状態になり、そのキャパシタCからデータの読み出しが行われない。

【0029】上記したようなX字状の素子領域は、従来のセル配置と比べてセル間隔をさらに狭めることができるので、単位セル当たりの面積を縮小化することができる。また、1つのビット線コンタクトBCに対して4個のDRAMセルが接続されているので、ビット線コンタクト数を減らすことができ、ビット線コンタクトBCの不良に起因する不良を減らすことが可能になる。

【0030】図4乃至図6は、図1乃至図3に示したD

RAMセルの製造工程の一例におけるウエハー断面の一部およびそれに対応する平面パターンを示している。次に、図4乃至図6を参照しながらDRAMセルの製造工程を説明する。

【0031】まず、図4(a)に示すように、シリコン基板101上にシリコン酸化膜102を介してn型半導体層103が形成されたSOI(シリコン・オン・インシュレータ)基板100を用意する。

【0032】次に、図4(b)に示すように、上記SOI基板100上に第1のシリコン酸化膜(SiO₂膜)104を堆積させた後、フォト・リソグラフィ技術を使用して上記第1のシリコン酸化膜および前記n型半導体層に対して所定のパターニングを施す。

【0033】次に、図4(c)に示すように、全面にポリシリコン層105を堆積させた後、図4(d)に示すように、上記ポリシリコン層105にp型イオン、例えばB(ボロン)イオンを注入した後にアニール処理により不純物を拡散させる、あるいは、図4(d')に示すように、ポリシリコン層105上にBPSG(ボロン・リン・シリケート・ガラス)層106を堆積させ、このBPSG層106から前記ポリシリコン層105に不純物を拡散させた後に上記BPSG層106を除去することにより、n型半導体層103のパターニングが施された部分にpウェル12を形成する。

【0034】次に、図4(e)に示すように、CMP(化学機械研磨)により前記第1のシリコン酸化膜104の上面が露出するまで前記ポリシリコン層105を除去することにより、表面に前記pウェル12および残りのn層(nウェル11)を露出させる。この後、第2のシリコン酸化膜107を堆積させた後、さらに、シリコン窒化膜(SiN膜)108を堆積させる。

【0035】次に、図5(a)に示すように、フォト・リソグラフィ技術を使用して前記シリコン窒化膜108をパターニングした後、酸化処理により第2のシリコン酸化膜107に素子分離領域109を形成する。

【0036】次に、図5(b)、(b')に示すように、前記シリコン窒化膜108を除去し、フォト・リソグラフィ技術を使用して前記第2のシリコン酸化膜107をパターニングして素子分離領域109を残す。この場合、前記pウェル12およびnウェル11の境界線を中心線として対称となるように前記したようなX字状の素子領域用の形成領域109aを確保する。

【0037】次に、図5(c)、(c')に示すように、酸化処理によりゲート絶縁膜用の第3のシリコン酸化膜110を形成し、さらに、その上にワード線用のポリシリコン膜111を堆積させる。そして、上記ポリシリコン膜111をパターニングすることにより前記したようなワード線群を形成する。この場合、各ワード線W₁は前記pウェル12およびnウェル11の上方を通り、

50

【0038】次に、図5(d)、(d')に示すように、レジストを塗布し、このレジストを前記pウェル12の上方にのみ残すようにパターニングしてレジストパターン112を形成し、このレジストパターン112をマスクとしてボロンをイオン注入した後に上記レジストパターン112を剥離する。

【0039】次に、図6(a)に示すように、レジストを塗布し、このレジストを前記nウェル11の上方にのみ残すようにパターニングしてレジストパターン114を形成し、このレジストパターン114をマスクとしてn型イオン、例えばP(リン)イオンを注入した後に上記レジストパターン114を剥離する。

【0040】この後、アニール処理により上記注入されたイオンを活性化させて不純物を拡散させることにより、前記nウェル11の境界線付近にp型領域(PMOSトランジスタのソース・ドレイン領域)11aおよび前記pウェル12の境界線付近にn型領域(NMOSトランジスタのドレイン・ソース領域)12aが形成される。

【0041】次に、図6(b)、(b')に示すように、第4のシリコン酸化膜115を形成し、さらに、層間絶縁膜用のBPSG層116を堆積させる。そして、レジスト117を塗布し、前記PMOSトランジスタのソース領域とNMOSトランジスタのドレイン領域とが隣接する部分(前記X字状の素子領域の中央部分)の上方にビット線コンタクトホール117aを形成するためにパターニングした後、RIE(反応性イオンエッチング)により前記n層103の表面に達するまでエッチング除去する。

【0042】次に、図6(c)、(c')に示すように、前記レジスト117を剥離した後、ビット線用の高融点金属(CoSiなど)を堆積させてパターニングすることにより、ビット線コンタクト用のプラグ部118および前記したようなビット線群を形成する。

【0043】さらに、前記X字状の素子領域の4隅部分にそれぞれ対応して例えばプレーナ型のキャバシタを形成する。この際、まず、図6(d)、(d')に示すように、層間絶縁膜用のBPSG層119を堆積させ、レジストを塗布し、前記PMOSトランジスタのドレイン領域およびNMOSトランジスタのソース領域に対応する部分(前記X字状の素子領域の4隅部分)の上方にコンタクトホールを形成するためにパターニングした後、RIEにより前記n層103の表面に達するまでエッチング除去する。そして、上記レジストを剥離し、高融点金属(CoSiなど)を堆積させてパターニングすることにより、前記X字状の素子領域の4隅部分上にキャバシタの電荷蓄積領域用のプラグ部120をコンタクトさせる。さらに、上記プラグ部120上を覆うようにキャバシタの絶縁膜(図示せず)、プレート電極(図示せず)を順次形成する。

【0044】

【発明の効果】上述したように本発明によれば、単位セル当たりの面積を縮小化し得ると共にビット線コンタクト不良に起因する不良を減少させ得るダイナミック型メモリを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るDRAMのセルアレイにおける単位領域の平面パターンを示す図。

【図2】図1の単位領域に対応する4個のDRAMセルの一例とビット線およびワード線との回路接続を示す回路図。

【図3】図1の単位領域を含むセルアレイの一部の平面パターンを概略的に示す図。

【図4】図1乃至図3に示したDRAMセルの製造方法の一例に係る製造工程におけるウエハー断面の一部を示す断面図。

【図5】図4の工程につづく工程におけるウエハー断面の一部およびそれに対応する平面パターンを示す断面図。

【図6】図5の工程につづく工程におけるウエハー断面 20

の一部およびそれに対応する平面パターンを示す断面図。

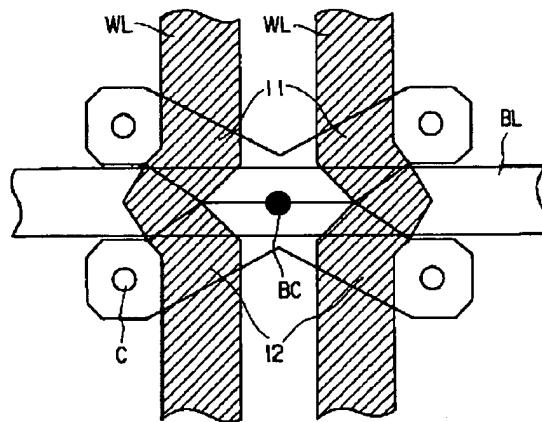
【図7】1トランジスタ・1キャパシタ型のDRAMセルの等価回路を示す図。

【図8】従来のDRAMにおけるメモリセルアレイの平面パターンの一部を概略的に示す図。

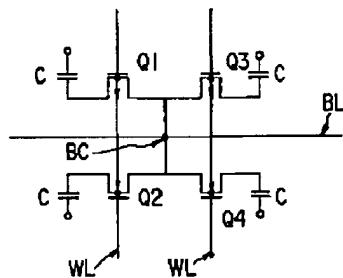
【符号の説明】

SDG…素子領域、Q1～Q4…電荷転送ゲート用MOSトランジスタ、C…電荷蓄積用キャパシタ、BL…ビット線、WL…ワード線、BC…ビット線コンタクト部、I1…nウェル、I2…pウェル、I00…SOI、基板I01…シリコン基板、I02、I04、I07、I110、I115…シリコン酸化膜、I03…n型半導体層、I05…ポリシリコン層、I06、I16、I19…BPSG層、I08…シリコン窒化膜、I09…素子分離領域、I09a…素子形成領域、I11…ポリシリコン膜、I12、I14、I17…レジストパターン、I17a…ビット線コンタクトホール、I18…ビット線コンタクト用のプラグ部、I20…電荷蓄積領域用のプラグ部。

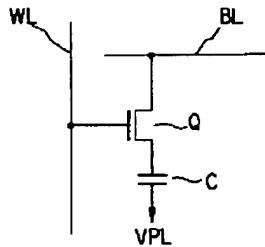
【図1】



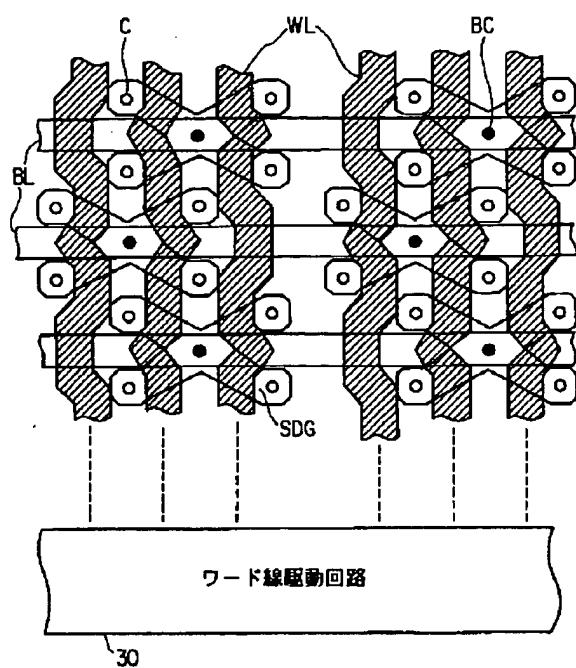
【図2】



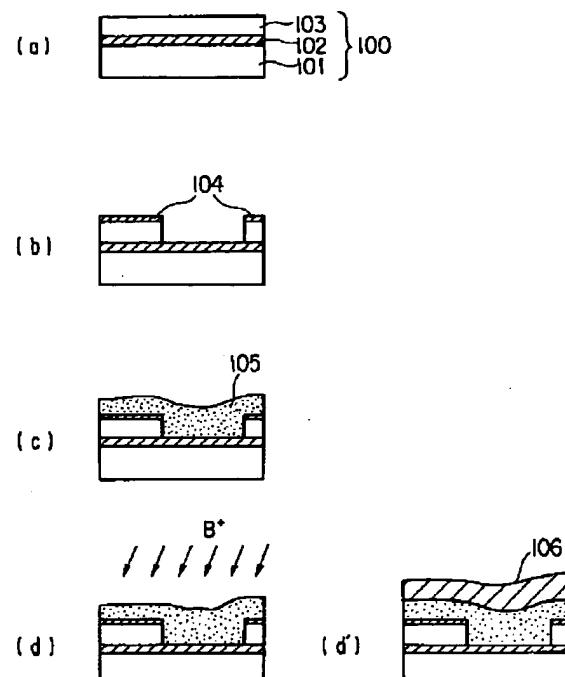
【図7】



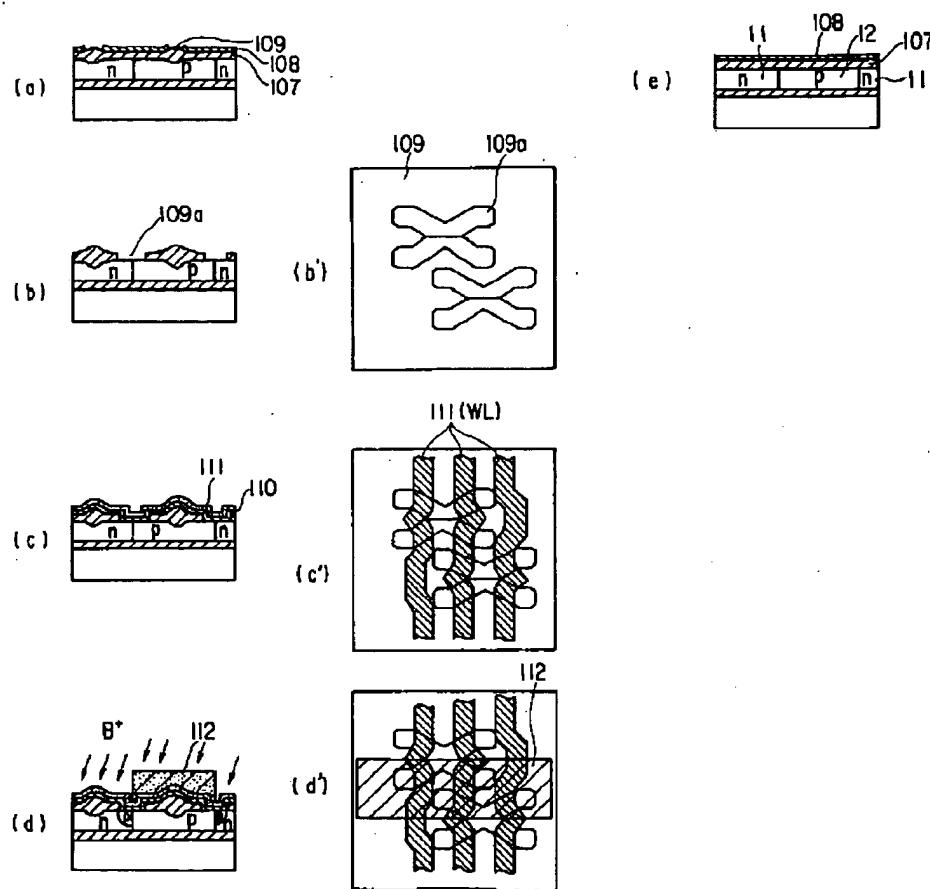
【図3】



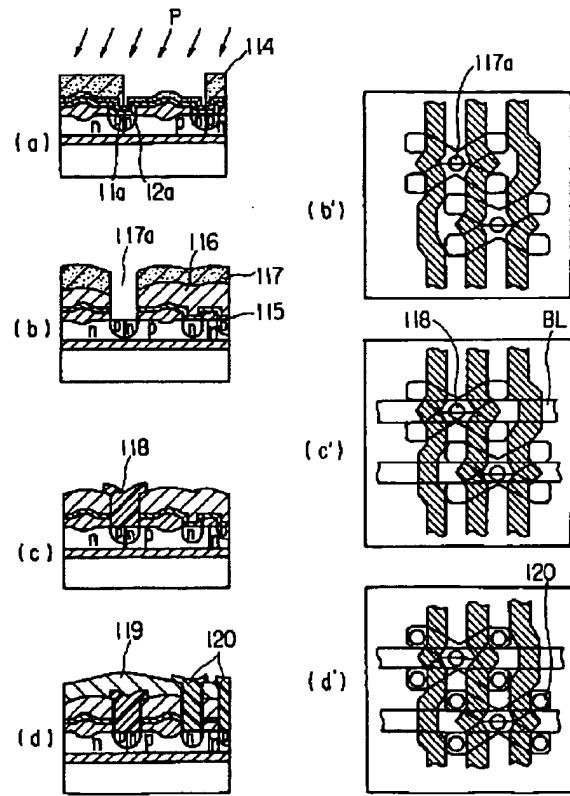
【図4】



【図5】



【図6】



【図8】

